

# 受信機のデジタル信号処理

## データビット幅と S/N

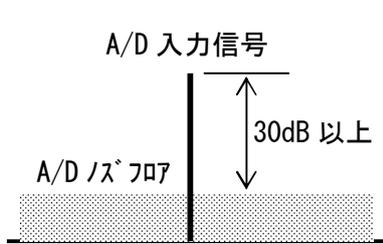
A/D コンバータのビット幅が広いほど量子化雑音が低減され高 S/N が実現できる。ビット幅と S/N 理論値の関係は以下の式で表される。

$$S/N = 6.02 \times \text{ビット幅} + 1.76 \text{ [dB]}$$

ビット幅	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
S/N[dB]	7.8	13.8	19.8	25.8	31.9	37.9	43.9	49.9	55.9	62.0	68.0	74.0	80.0	86.0	92.1	98.1

ただし、この S/N は A/D コンバータの各種誤差を含んでいないので実際はもう少し悪くなる。また、A/D コンバータのノイズフロアも考慮していない。それに受信機で使用する場合は A/D コンバータへの入力信号の S/N の方が低いことが多いので、上記のような S/N にはならない。逆に言えば A/D コンバータのビット幅による S/N は A/D コンバータへの入力信号の S/N より充分高い (30dB 以上) 値にする必要がある。そうでないとデジタル処理系のために雑音指数が劣化する。通常はこのような後段回路が雑音指数に影響を与えることはなく、影響が出るような設計は好ましくないし、そのために RF アナログ系の性能を上げるよりデジタル系を改善する方が設計上楽である。

## A/D コンバータのノイズフロアと入力信号レベル



A/D コンバータにはノイズフロアがあり、そのレベルより充分大きな信号を入れないと S/N が確保できない。通常は A/D の分解能を生かすためにフルスケールいっぱいを使えるようなレベルまで入力信号を増幅して A/D に入力するが、フルスケール以下で使用する場合はノイズフロアと入力レベルの関係に注意が必要である。ビット幅と S/N で述べたのと同様に総合雑音指数が劣化しないよう、A/D への入力レベルは A/D のノイズフロアより充分高い (30dB 以上) 値にする必要がある。

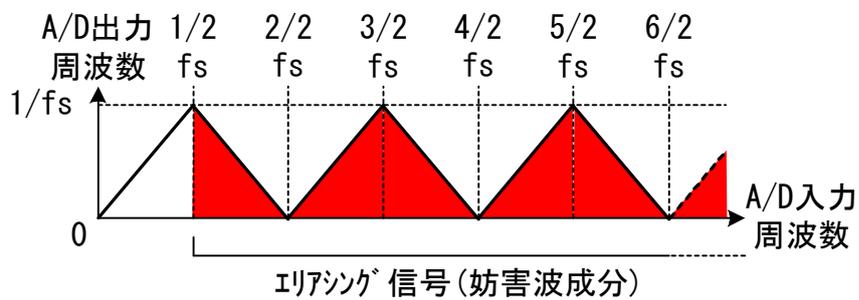
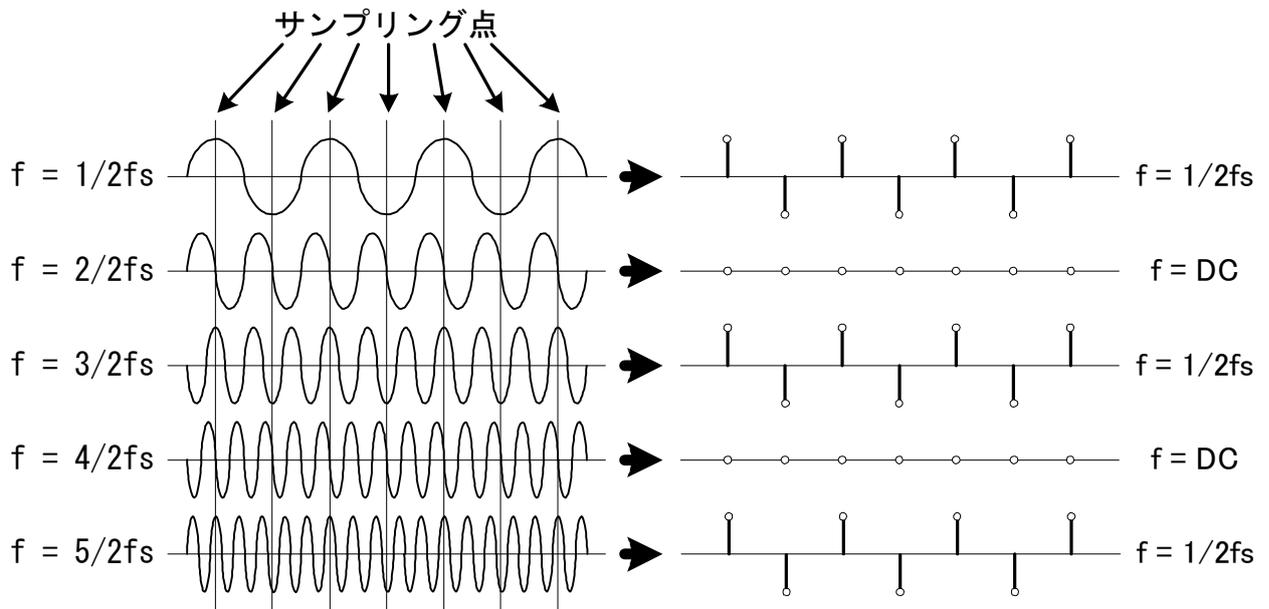
## A/D のフルスケールと入力信号レベル

ビット幅を有効に利用するためには入力信号は A/D のフルスケールまで増幅して入力するのが望ましいが、アナログ系帯域内に大きな信号が入った場合に A/D が飽和して復調音が歪むため、ビット幅により S/N が低下しない程度に入力レベルを下げ (AGC をかける)、余裕分を近接周波数信号の大入力への対応に振り向けるのがいい。AGC は最終的には A/D が飽和しないように制御する。

## サンプリングレートとアンチエイリアシングフィルタ

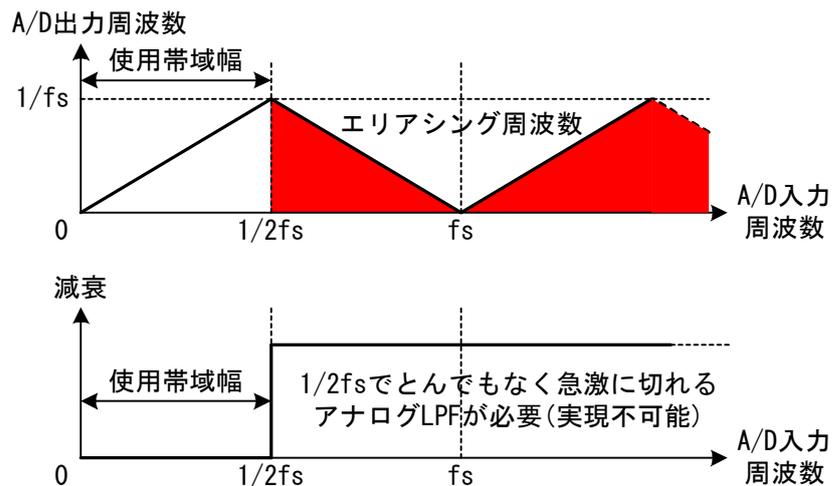
A/D コンバータでアナログ信号をサンプリングする場合、サンプリング定理により必要なサンプリング周波数  $f_s$  は使用帯域幅の 2 倍である。例えば 8kHz までの周波数を使用する場合はサンプリング周波数は 16kHz 以上である。サンプリングレートは低いほどデジタル処理回路の負担が少なくなり (フィルタタップ数が少なくてもよい)、ハードウェアなら規模が小さくなるし、DSP 等でソフトウェア処理する場合はより低速の DSP が使用できる。ただし、サンプリングする際に「折り返し」(エイリアシング) という現象が発生するため、サンプリングレートは低いほどアナログフィルタ回路の負担が大きくなる欠点がある。

サンプリング周波数を  $f_s$  とした場合、いろいろな周波数信号をサンプリングした結果を図 7 に示す。  $1/2f_s$  以下の周波数では A/D 変換器入力時の周波数そのまま出力されるが、  $1/2f_s$  以上の周波数の入力信号は、A/D 変換されると  $1/2f_s$  以下の周波数に変換されてしまう。このような現象をエイリアシング (折り返し) と呼ぶ。一度折り返されてしまうと使用帯域内の信号と混信してしまいフィルタで除去不可能なので、A/D 変換前のアナログ信号の段階で  $1/2f_s$  以上の周波数成分を充分減衰させる必要がある。そのためアナログフィルタを「アンチエイリアシングフィルタ」と呼ぶ。アンチエイリアシングフィルタに要求される減衰特性は、サンプリング周波数と使用帯域幅の関係で決まる。サンプリング周波数 = 使用帯域幅  $\times 2$ 、つまり最低限のサンプリング周波数の場合、使用帯域を少しでも超えたら折り返し信号として帯域内に落ち込むために、帯域上限を越えたら数 10dB 減衰させるようなフィルタが必要である。しかしこのようなフィルタは実現不可能であり、確実に折り返し信号の落ち込みが発生する。



A/D入力での $1/2f_s$ 以上の周波数成分は、A/D変換後は $1/2f_s$ 以下の周波数に変換されて妨害波となる

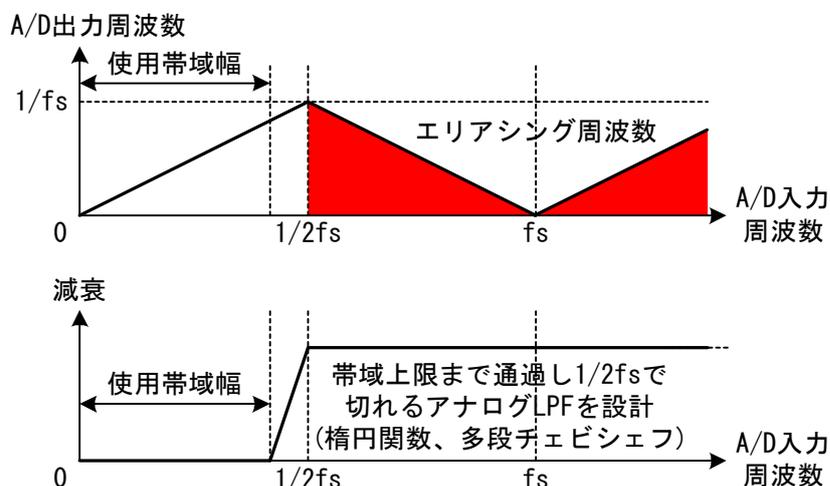
## 最も低いサンプリング周波数の場合 ( $f_s = \text{使用帯域幅} \times 2$ )



そこで通常はサンプリング周波数を使用帯域幅 $\times 2$ より少し高く(例えば1.2倍)しておく。この場合、アンチエイリアシングフィルタは使用帯域内でフラットな振幅特性とし、 $1/2f_s$ で数10dB減衰するような特性とする。帯域上限と $1/2f_s$ が離れるほど減衰が緩やかで済むため、現実の部品のQで実現可能なフィルタ仕様になり折り返しが落ち込むことは無くなるが、サンプリング周波数が高くなってデジタル処理系の負担が大きくなるので両者のトレードオフで決定する。ただ、サンプリング周波数を1.2倍や1.3倍にしてもアンチエイリアシングフィルタに要求される減衰特性は急峻で、楕円関数フィルタや多段チェビシェフフィルタが必要であり、回路が大型化し調整も手間がかかり、減衰特性は確保できても群遅延

偏差が大きくなってデジタル変調信号 (PSK 等) の復調に悪影響が出ることは避けられない。また、FPGA 等ハードウェアによるデジタル処理用 LSI の大規模化、低価格化や DSP の高速化、低価格化が進んで少々のデジタル処理系負担増は問題がなくなり、現在ではよほどの理由がない限りはこの方式は使用されることはない。

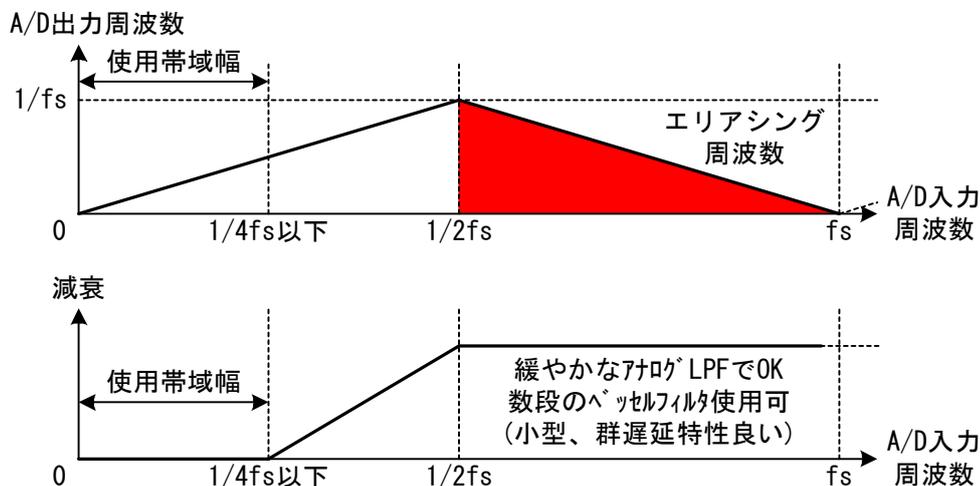
## サンプリング周波数を少し上げる場合 ( $f_s > \text{使用帯域幅} \times 2$ )



### オーバーサンプリング

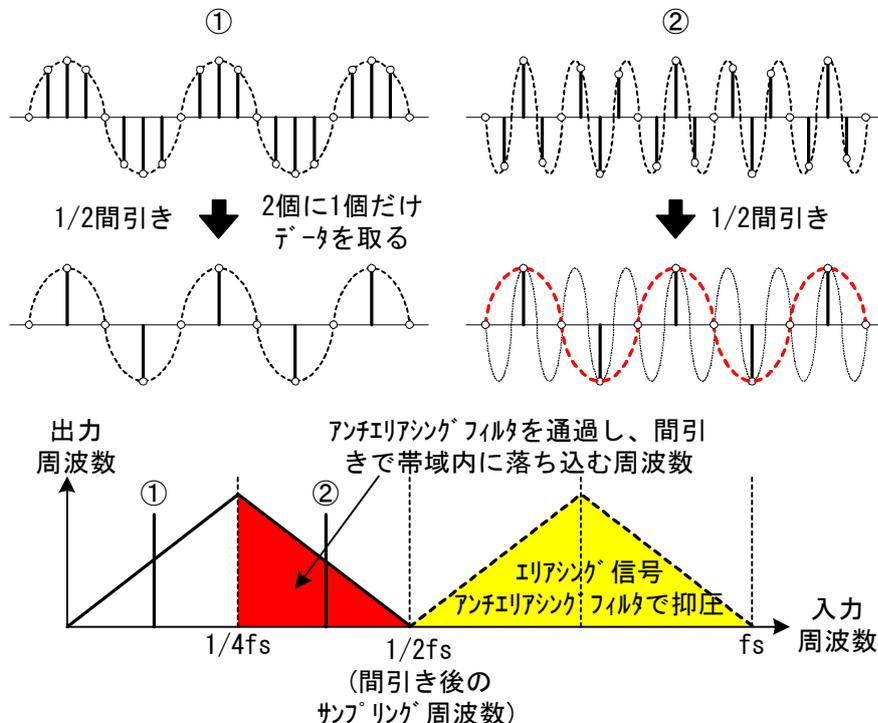
先述のように必要最低限のサンプリング周波数付近でサンプリングを行う場合、アンチエイリアシングフィルタには非常に鋭い減衰特性が要求されデメリットが大きい。一方、デジタル処理用半導体の進歩はめざましい。そのため、近年ではアナログ系の負担をデジタル処理系に移し、サンプリング周波数を数倍 (クロック信号生成の都合で通常は  $2^n$  倍) に上げてサンプリングし、帯域内の半分以下しか使わないような構成とすることがほとんどである。こうすることにより折り返される周波数が数倍に上昇し、アンチエイリアシングフィルタに要求される特性は緩やかになり簡単な回路で済むようになり、群遅延特性もほぼフラットにできる。このような方式をオーバーサンプリングという。帯域幅の4倍 (最低サンプリング周波数の2倍) でサンプリングする場合は「2倍オーバーサンプリング」、帯域幅の8倍では「4倍オーバーサンプリング」と呼ぶ。倍数が大きいほどアンチエイリアシングフィルタに要求される特性は緩やかになり、簡単なフィルタで済む。

## オーバーサンプリングの場合 ( $f_s = \text{使用帯域幅} \times 4, 8, 16 \dots$ )



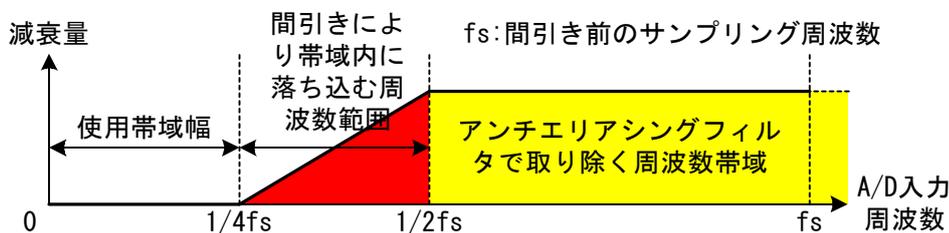
## 間引き(デシメーション)

オーバーサンプリングしたままだとサンプリング周波数が高く、その後の処理速度やハードウェア規模がオーバーサンプリングしない場合の数倍必要となるため、通常は間引き(デシメーション)を行って必要最小限のサンプリング周波数に下げる。ただし、間引きを行うとアンチエイリアシングフィルタの帯域内だが間引き後のサンプリング周波数の1/2以上の周波数成分が折り返されて帯域内に落ち込むため、間引き前にデジタルLPFでその周波数成分を取り除く必要がある。このようなフィルタを「デシメーションフィルタ」と呼ぶ。

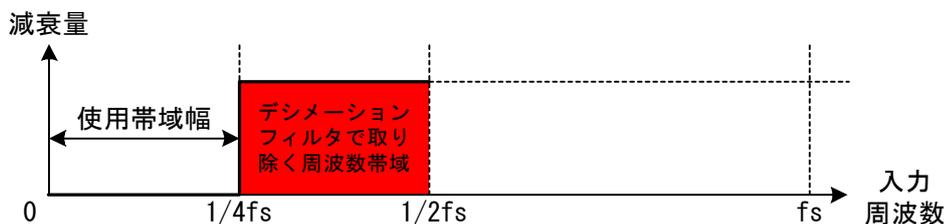


- ・ 間引きとはn個に1個のサンプリングデータだけ使い、他は捨てること。
- ・ 間引き後のサンプリング周波数を $f_s'$ とすると、間引き後は $1/2f_s'$ 以上の周波数成分がエイリアシングのように折り返され帯域内に落ち込む。よって間引き前にデジタルLPFで $1/2f_s'$ 以下のみ通過させるようにする必要がある。

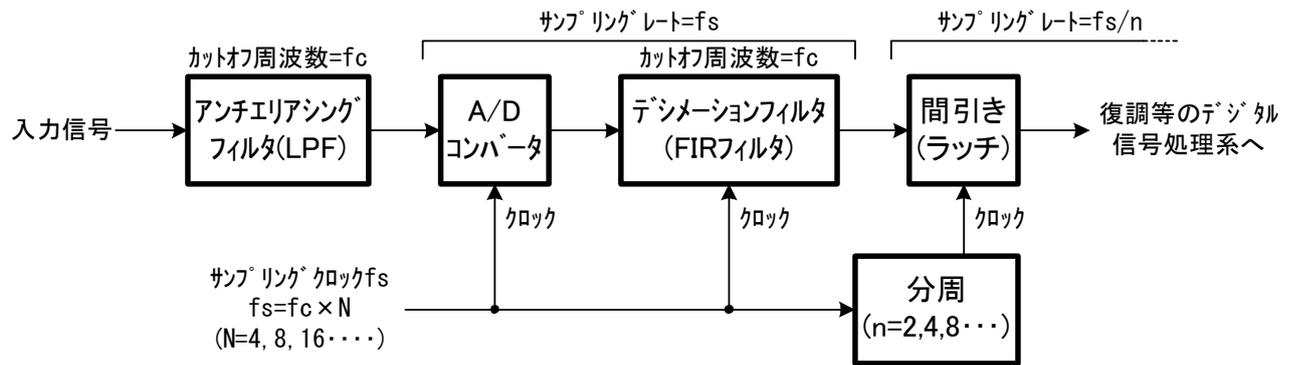
## 間引きとデシメーションフィルタ (2倍オーバーサンプリングの場合)



### アンチエイリアシングフィルタ特性



### デシメーションフィルタ特性



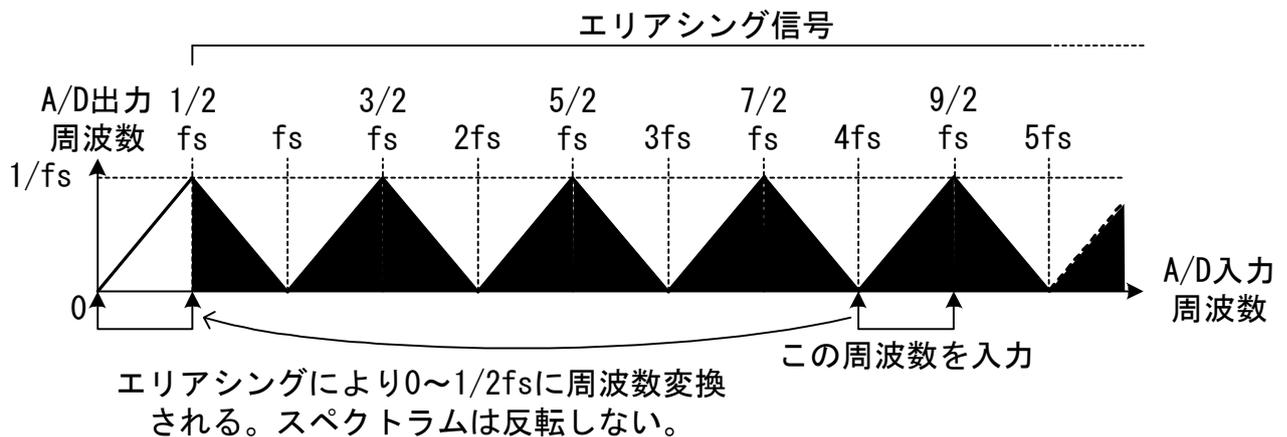
## n倍オーバーサンプリングの系統図

オーバーサンプリング次数が高いとデシメーションフィルタの減衰特性がきつくなり、フィルタに必要なタップ数が大きくなりハードウェア規模が大きくなったりDSP処理時間が増大するので、アンチエイリアシングフィルタの仕様とトレードオフを行う必要がある。通常は2~4倍オーバーサンプリングが両者のバランスがよい。

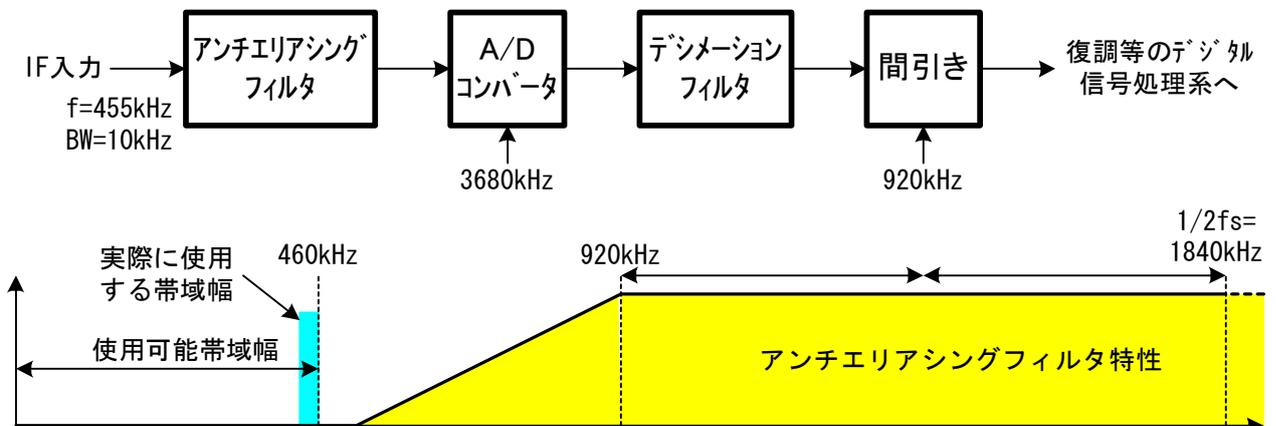
非現実的なタップ数が必要な場合はFIRフィルタではなくCICフィルタを使用する。CICはアナログフィルタの楕円関数フィルタのような有極フィルタ(有限周波数で減衰量が無限大になる点がある)で、利得に周波数特性があるので、要求されるフィルタ仕様によってはそれを補正するFIRフィルタ(振幅イコライザ)が必要となる場合がある。

## アンダーサンプリング

エイリアシングにより  $1/2f_s$  より高い周波数の信号は  $1/2f_s$  以下に折り返されて混信となるが、逆転の発想でエイリアシングを利用して高い周波数の信号を低いサンプリング周波数でサンプリングしてしまうというのがアンダーサンプリングである。入力周波数が  $nf_s \sim (n+1/2)f_s$  の場合 (ただし  $n=1, 2, 3, \dots$ )、エイリアシングによりサンプリング後の周波数は  $0 \sim 1/2f_s$  に変換され、入力周波数が  $(n-1/2)f_s \sim nf_s$  の場合はスペクトラムが反転して  $0 \sim 1/2f_s$  に変換される。よってサンプリング周波数を適当に選べば外部で周波数変換を行わなくてもサンプリングと同時にベースバンドに周波数変換できる。ただし、帯域幅はサンプリング周波数の  $1/2$  であり、入力周波数の半分ではないので注意。アンダーサンプリングが適用できるのは入力信号の中心周波数に比較して帯域幅がかなり狭い場合だけである。

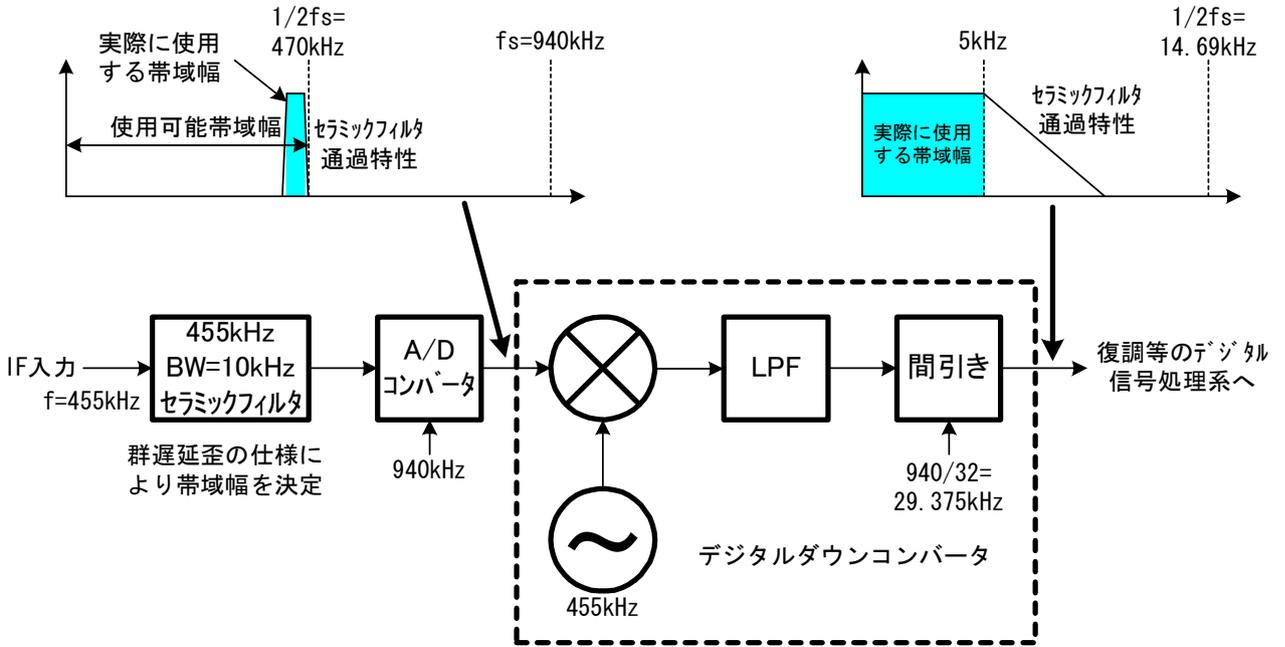


受信機の  $455\text{kHz}$  IF 信号のように、入力信号の中心周波数に比較して帯域幅が狭い場合、通常と同じ構成 (例えば  $f_s=1\text{MHz}$ ) でサンプリングを行うと  $DC \sim 455\text{kHz}$  までの全ての周波数情報を取り扱うことができるが、情報が載っているのはそのうち数  $\text{kHz}$  程度しかなく、回路の能力としては無駄が多い。



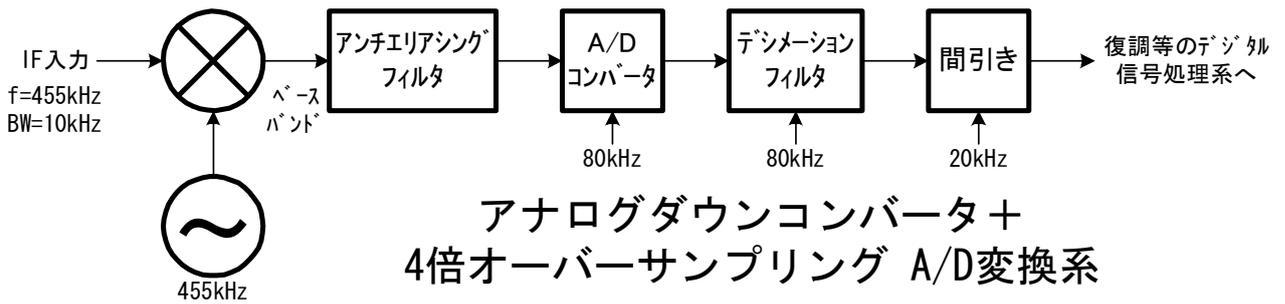
## 4倍オーバーサンプリング A/D変換系

このため、以下のような構成が使われる。まずアンチエイリアシングフィルタとして  $455\text{kHz}$  セラミックフィルタを使用し急峻な減衰特性を得る。ただし群遅延歪が大きいので帯域幅は検討が必要である。セラミックフィルタは減衰が急峻なのでオーバーサンプリングする必要はなく、充分減衰する周波数をナイquist周波数とする。それでもサンプリング周波数に比べて使用帯域幅は狭く無駄が多いため、デジタル処理でもっと低い IF 周波数やベースバンドに周波数変換し、間引きを行いサンプリング周波数を下げる。この方式ではデジタル処理系の負担が大きいためデバイス選定時にゲート数は要注意である。



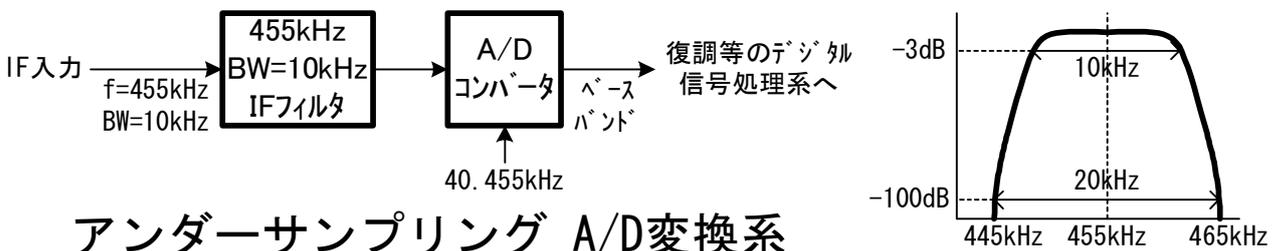
### デジタルダウンコンバータを使用した構成

別の方法としては、ベースバンドに周波数変換してサンプリングする方法がある。これなら帯域幅を全て有効利用が可能でサンプリング周波数を下げることができるが、アナログでの周波数変換が必要でスプリアスが出やすい。



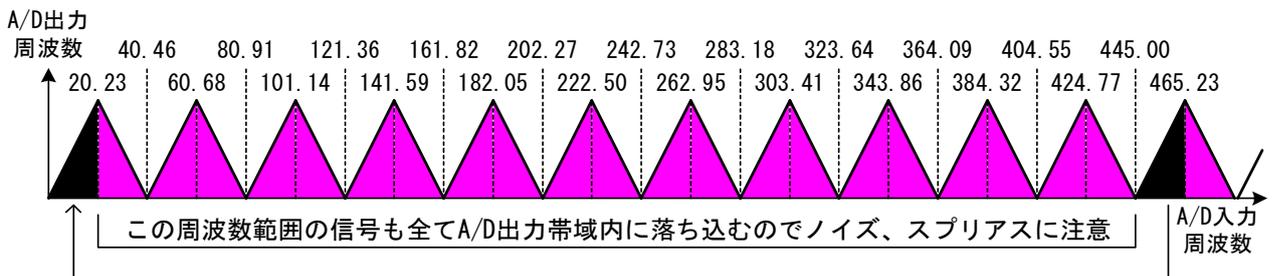
### アナログダウンコンバータ＋4倍オーバーサンプリング A/D変換系

以上のような各方式に対し、アンダーサンプリングでは周波数変換と A/D 変換を同時に行うため、回路は簡単になる。



### アンダーサンプリング A/D変換系

455kHz IFフィルタ特性



エリアシングにより0~1/2fsに周波数変換される。スペクトラムは反転しない。

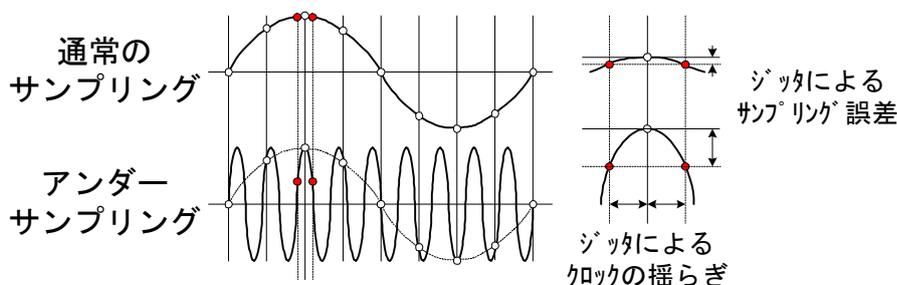
サンプリング周波数は、IF 信号の通過周波数帯がちょうどベースバンドに落ちてくるよう選ぶ必要がある。ただし、455kHz フィルタの漏れによるエリアシングにも注意が必要であり、両者の兼ね合いでサンプリング周波数を決める。

アンダーサンプリングは構造が簡単で回路規模も小さいがデメリットもある。

まず、A/D コンバータの入力周波数範囲が使用周波数まで延びているものでないと使えない。通常はナイキスト周波数(サンプリング周波数の半部)までしか必要ないので最大サンプリング周波数の半分程度しか性能を保証しないが、この場合、A/D コンバータのアナログ部分の利得が低下して使用できないので注意。市販品の中にはアンダーサンプリングを意識し、サンプリングレートの数倍までアナログ系の帯域を広げた A/D コンバータもあるので、そのような製品を使用すること。

また、アンダーサンプリングでは入力周波数以下の全てのエリアシング信号(熱雑音も含む)が帯域内に落ち込んで加算されるので、使用周波数以外に信号があるとスプリアスとなり妨害を受けることになったり、使用周波数帯域以外のノイズレベルが高くと S/N が大きく低下する。そのため A/D コンバータの前に使用帯域外信号を充分減衰させるようなフィルタを入れる必要がある。

また、入力信号周波数が高いので通常のサンプリングよりサンプリングクロックの揺らぎ(ジッタ)により A/D 値が大きく変動するため、ジッタが少ない(位相雑音特性が良好な)サンプリングクロックが必要である。



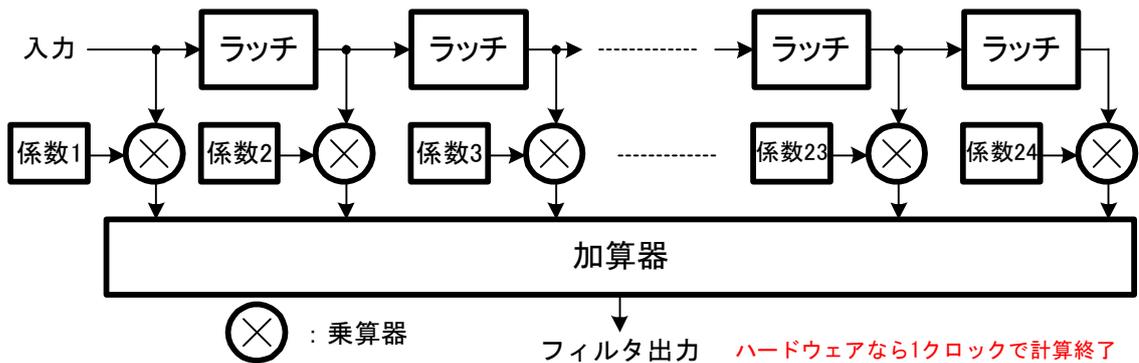
このようにアンダーサンプリングは回路が非常に簡単でデジタル系回路規模が少なく済むのがメリットだが、今の FPGA 集積度なら 455kHz IF なら通常のサンプリングをして間引きしてもロジック数が不足することはないので、アンダーサンプリングはほとんど行われな

## サンプリング周波数と DSP 処理速度

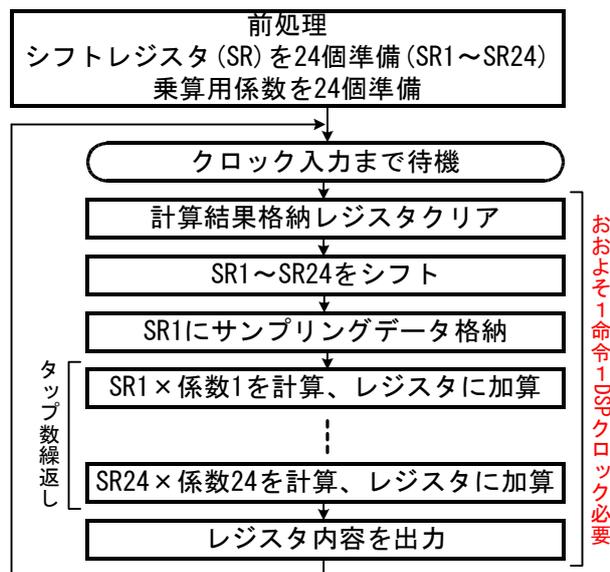
現在の A/D コンバータのサンプリング速度は超高速で、8bit 3G サンプル/秒という製品すら存在する。これだけのサンプリング速度があればサンプリング定理から言えば 1.5GHz の信号さえ取り扱いが可能であるが、別の点で問題がある。それはデジタル信号処理回路の処理速度である。

デジタル信号処理の場合、前のサンプリング信号を入力して次のサンプリング信号が来る前に処理を終わらせる必要がある(入出力のサンプリング周波数が同一の場合)。信号処理系が全てハードウェアで構成されワンクロックで全処理が終わるような並列回路なら、問題となるのはハードウェアの最大クロック周波数や遅延などの性能であるので、それ相応の速度で動く FPGA なりを選択すればよい。今の LSI なら外部クロック 1GHz は無理でも平気で数 100MHz で動くだろう(ただしちゃんと同期回路設計して速度優先の条件でコンパイルする必要はあろう)。

しかし、DSP を使用してソフトウェアで処理をする場合は話が全く異なる。例えば 24 タップの FIR フィルタを構成する場合、ハードウェアで並列構成すれば 1 クロックで全ての計算が完了するが、DSP の場合は 24 回の積和演算が必要であり、通常の DSP なら処理に  $24 + \alpha$  クロック(ただしサンプリングクロックではなく DSP のシステムクロック)必要となる。なお、DSP ではなく汎用 CPU を使用すると積和演算は 1 クロックではできないのもっと時間がかかる。DSP の種類によってはコア内部に複数の演算ユニットを持ち、演算内容によってはワンクロックで 8 演算を同時にこなすものもあるが、それでも専用ハードのように 1 クロックとはいかない。その代わりに DSP はソフトしだいで多様な処理が可能だが専用ハードでは他の処理は不可能であるし、デジタルフィルタのような積和演算では特に乗算器のハードウェアが大きくタップ数やビット幅が増えると消費するゲート数が急激に増加する。



## ハードウェア(並列)による24タップFIRフィルタ処理



## ソフトウェアによる24タップFIRフィルタ処理

先に述べたようにデジタル信号処理は次のクロックが来るまでに処理を終える必要があるので、サンプリング周波数が上がると DSP が処理に使える時間が短くなる。最初に書いた 3GHz のサンプリング周波数ともなると最高性能の DSP の内部クロック周波数をも上回ってしまい、現実的には DSP の処理速度が追いつかず使用不能となる。おそらくこんな周波数では専用ハードウェアで処理しているだろう。

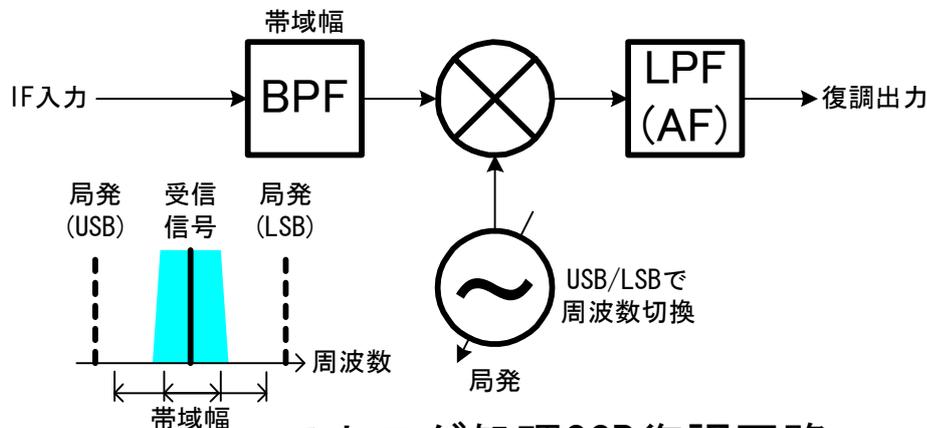
こんな極端な例でなく、例えば 10MHz のサンプリング周波数で考えてみよう。市販されている一般的な性能の DSP の処理速度は 200MIPS (1 秒間に実行できる命令数が 200 万個) 程度であり、サンプリング間隔の時間内に実行できる演算回数はたった 20 回しかない。先の 24 タップの FIR フィルタさえ実現できないのだ。実際に DSP で処理する内容はフィルタリング、復調、AGC 等があり、諸元にもよるがおそらく 1000 命令程度の演算は必要だろう (経験上では QPSK の復調だけでも数 100 命令程度)。1000 命令とした場合、200MIPS の DSP で処理できる最高サンプリング周波数は 200kHz となり、A/D コンバータの性能より遥かに下回る。現在の DSP 内蔵受信機でも IF 以降でしかデジタル処理しない理由の一つだろう。

DSP を使用するとハードは安価になりソフトの変更で様々な機能を追加できて柔軟性に富むため広く使用されているが、上記のように DSP は処理速度のボトルネックとなるため、DSP での処理時間見積 (1 サンプル毎の命令数) を誤るととんでもないことになる。そのため、余裕を持った処理速度の DSP を選定したり、複数の DSP を使用して処理を分散させたり、必要最低限のサンプリング周波数にしたり、FPGA 等のハードウェアと組み合わせてソフト/ハードに処理を分散させたりするのが安全だ。DSP の処理能力に余裕がないとソフトウェアのバージョンアップで機能アップなんてこともできない。類似機材を参考に最低現のハードウェアスペックを推測し、予算が許す範囲内でハードウェアを強化しよう。

どちらにしても、DSP を使用する場合は現状の A/D コンバータの速度と比較してかなり低速でしか信号処理はできない。どうしても高速な処理が必要な場合は FPGA 等を使用してオールハードウェア構成にする必要がある。基本的にはデジタル信号処理の計算過程そのものは単純であり、ハードウェア化は可能である。ただし、デジタルフィルタのビット数、タップ数によってはゲート数が巨大になるので、そのような部分だけ DSP を使うか、もしくはもっと高いクロックで動作する積和演算器を時分割で使用してゲート規模を減らすような工夫が必要かもしれない。

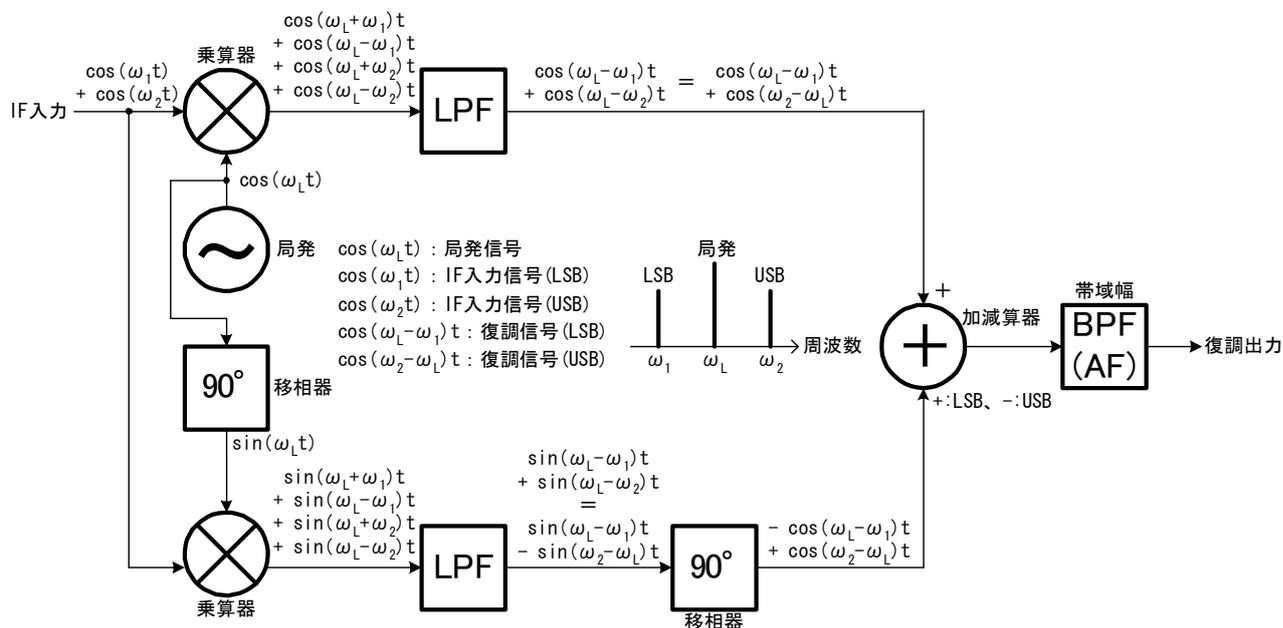
## SSB 復調回路

図?に一般的なアナログ回路によるSSB復調回路例を示す。455kHz等のIF周波数で受信帯域幅を制限すると同時に逆サイドバンドを抑圧してからプロダクト検波する。USB/LSBの切換は局発周波数制御によって行う。フィルタはIF周波数(通常は455kHz)で500Hz程度~数kHz程度の帯域幅を要求されるためLCフィルタでは実現不可能で、クリスタルフィルタやセラミックフィルタが使用される。このように、アナログ方式では基本的に逆サイドバンド信号は周波数差を利用してフィルタで抑圧するのが普通である。この場合、フィルタのQが高いので群遅延特性は悪化する。



## アナログ処理SSB復調回路

一方、デジタル方式の回路例を図?に示す。デジタル方式ではアナログ方式と同じことをやることも可能であるが、IF周波数で数100Hzのフィルタを実現するのはハード規模が大きくなったりソフトウェア処理速度が遅くなって無理があるため、やるとしてもデジタル的にIF周波数を落としてから行うことが多い。ただし、通常は算術的に逆サイドバンドを抑圧する方法で復調を行うことが多い。



## デジタル処理SSB復調回路

この方式では局発位相を90°ずらして検波し、デジタル変調のI/Qチャネルと同じ直交するベースバンド信号を得る。ただし、このままではベースバンド信号は目的のサイドバンド+逆サイドバンド信号が折り返され重なった状態で混信している。90°位相が遅れた局発で検波したベースバンド信号の位相をヒルベルト変換(広帯域で位相を90°ずらすフィルタ)で90°遅らせ、もう片方のベースバンド信号と加算/減算することでUSB/LSBのみが得られる。これと同じことをアナログ回路で行えば同じようにSSBが復調できるが、広帯域にわたって90°位相差を得るフィルタをアナログ回路で作るのは困難なこと、実現しても経年変化で漏れが増えるためほとんど行われていない。位相差が90°からずれると逆サイドバンドの漏れが大きくなるため混信となる。デジタル処理の場合、ビット幅による丸め誤差、フィ

ルタ定数丸め誤差、フィルタタップ数等、計算精度に起因する誤差が位相誤差(漏れの大きさ)となるが、デジタル系が16ビット固定小数点ならば普通は60dB以上は達成できる。

逆サイドバンド抑圧は算術演算で行うため、IFフィルタで逆サイドバンド抑圧を行う必要がないのでIFフィルタは緩やかな特性で構わない。受信帯域幅制限は復調後のAF周波数帯で行えるため、フィルタの負担は小さくなる。

#### 問題点

- ・CW復調時、可変ビートができない(AFで帯域制限を行うため)。
- ・IF帯域幅が広いままなので、AFでは帯域外の信号でもIFには入力され、そのレベルが大きいとオーバーフローして復調音が歪む。よってAGCはIFでオーバーフローしないようにかけることになるが、AF帯域外でもIF帯域内に強い信号があるとそちらでAGCがかかってしまう。
- ・同様の理由で、A/D入力でのIF帯域幅は広いままなので、アナログ系IF帯域内に強い信号があるとそちらでAGCがかかってしまう。これを防止するにはアナログ系IF帯域幅をギリギリまで制限するか、A/Dをダイナミックレンジの広いものにする。ただ、A/Dのダイナミックレンジはさほど広がらないため、現実的にはA/Dの前にセラミックフィルタ等を入れてできるだけ帯域を狭くするのが得策である。